

Rec'd PCT/JP 20 SEP 2005

10/553-466
日 本 特 許 庁
JAPAN PATENT OFFICE

PCT/JP2005/002198

08.2.2005

REC'D 24 FEB 2005	
WIPO	PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2004年 2月16日
Date of Application:

出願番号 特願2004-038403
Application Number:
[ST. 10/C]: [JP2004-038403]

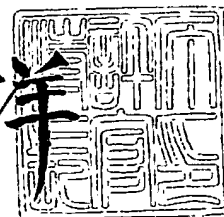
出願人 ソニー株式会社
Applicant(s):

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2004年12月 2日

特許庁長官
Commissioner,
Japan Patent Office

小川 洋



出証番号 出証特2004-3110127

【書類名】 特許願
【整理番号】 0490048001
【提出日】 平成16年 2月16日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/00
【発明者】
 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社内
 【氏名】 近藤 員弘
【特許出願人】
 【識別番号】 000002185
 【氏名又は名称】 ソニー株式会社
【代理人】
 【識別番号】 100122884
 【弁理士】
 【氏名又は名称】 角田 芳末
 【電話番号】 03-3343-5821
【選任した代理人】
 【識別番号】 100113516
 【弁理士】
 【氏名又は名称】 磯山 弘信
 【電話番号】 03-3343-5821
【手数料の表示】
 【予納台帳番号】 176420
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0206460

【書類名】 特許請求の範囲

【請求項 1】

第 1 の半導体チップと第 2 の半導体チップとを積層して構成される半導体装置において

、
前記第 1 の半導体チップとして、
外部電極とワイヤ接続するための第 1 の電極部と、
前記第 2 の半導体チップ内の回路を、前記第 1 の電極部に接続するための微小バンプを有する第 2 の電極部と、
前記第 1 の半導体チップ内の回路ブロックを、前記第 2 の半導体チップ内の回路と接続するための微小バンプを有する第 3 の電極部とを備え、
前記第 2 の半導体チップとして、
前記第 1 の半導体チップの第 2 の電極部と接続するための微小バンプを有する第 4 の電極部と、
前記第 1 の半導体チップの第 3 の電極部と接続するための微小バンプを有する第 5 の電極部とを備えた
半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、
前記第 1 の半導体チップの第 2 の電極部と、前記第 2 の半導体チップの第 4 の電極部は、
それぞれのチップの周辺部の近傍に配置し、
前記第 1 の半導体チップの第 3 の電極部と、前記第 2 の半導体チップの第 5 の電極部は、
それぞれのチップの中央部の近傍に配置した
半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、
前記第 1 の半導体チップは、メモリの回路ブロックを有し、
前記第 2 の半導体チップは、制御部の回路ブロックを有する
半導体装置。

【請求項 4】

請求項 1 記載の半導体装置において、
前記第 3 及び第 5 の電極部を構成する微小バンプは、少なくとも前記第 1 の半導体チップが有するメモリで、並列に読出し又は書き込みを行なうビット数に対応した数だけ配置した
半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、複数の半導体チップを積層して構成される半導体装置に関する。

【背景技術】

【0002】

従来、複数の半導体チップを、3次元方向（高さ方向）に積層して1つのパッケージに集積化するSIP（System in package）技術が開発されている。図5及び図6は、従来のこの種の半導体装置の構成例を示した図である。図5は断面で示してあり、図6は上から見た平面図である。この例では、第1のチップ10の上に、第2のチップ20を積層するようにしてあり、第1のチップ10内には、メモリ（DRAM）11などが集積回路として構成させてあり、第2のチップ20には、CPU（中央制御ユニット）ブロック21などが集積回路で構成させてある。また、第1のチップ10は、第2のチップ20よりも若干大きなサイズとしてある。

【0003】

第1のチップ10内のメモリ11は、複数個のDRAMで構成してあり、その複数個のDRAMを選択するセクタ12が用意してあり、メモリ11が、セクタ12を介して第2のチップ20側のCPUブロック21と接続される構成としてある。CPUブロック21側にも、セクタを有する。これらのセクタを介した接続構成の詳細については後述するが、各セクタは、データを一時的に保持するレジスタ機能も有する。

【0004】

このメモリ11とCPUブロック21とを接続するための構成としては、図6に示すように、第1のチップ10側に、セクタ12と内部配線で接続されたパッド13aを用意して、第2のチップ20側に、CPUブロック21と内部配線で接続されたパッド22aを用意する。そして、第1のチップ10側のパッド13aと、第2のチップ20側のパッド22aとを、銅線などのワイヤ31で接続する。なお、図6では説明を簡単にするために、パッド13a、22aとワイヤ31は、1組だけを示してあるが、実際には複数個配置してあり、パラレルデータの転送が行なえる構成としてある。

【0005】

また、CPUブロック21と外部とを接続するために、CPUブロック21と内部配線で接続されたパッド22bを、第2のチップ20側に所定数用意する。第1のチップ10側には、各パッド22bと近接した位置にパッド13bを所定数用意し、さらに、第1のチップ10の周縁部に、パッド13bと内部配線で接続されたパッド13cを所定数用意する。そして、第2のチップ20側のパッド22bと、第1のチップ10側のパッド13bとを、ワイヤ31で接続し、第1のチップ10の周縁部のパッド13cを、ワイヤ32でパッケージ（図示せず）側の電極と接続する。

【0006】

ここで、第2のチップ20側のCPUブロック21と、第1のチップ10側のメモリ11との従来の接続状態の例を、図7に示す。図7の例では、メモリ11として、4個のDRAM11a、11b、11c、11dで構成される例としてあり、各DRAM11a～11dが、チップ10内の内部配線を介してレジスタ及びセクタ12と接続してある。セクタ12は、チップ10、20間を接続したワイヤ31を介して、CPUブロック21側のレジスタ及びセクタ21aと接続してあり、レジスタ及びセクタ21aが、CPUブロック21内の回路と内部配線を介して接続してある。

【0007】

この図7に示すように、レジスタ及びセクタ12、21aを介して、CPUブロック21側とDRAM11a～11d側とを接続して、4つのDRAM11a～11dの読出し又は書き込みを選択的行なうと共に、さらに選択された1つのDRAMの中でも分割して、読出し又は書き込みを行なうようにしてある。例えば、1つのDRAMで本来は1

28ビットのデータをパラレルで読出し又は書き込みを行なう場合に、両セクタ12, 21aの間は、32本のワイヤで接続して、128ビットの読出し又は書き込みを、4回に分割して行なう構成とする。

【0008】

特許文献1には、このような構成で複数の半導体チップを積層させることについての開示がある。

【特許文献1】特開平8-167703号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、図5～図7に示した構成では、第1のチップ10のCPUブロックと、第2のチップ20のメモリとの接続として、レジスタ及びセクタを介した接続としてあるが、これは、両チップ10, 20間を接続するワイヤ31（及びそのワイヤを接続するパッド）を、比較的少ない数として、2つのチップ部品の間を接続するワイヤを少なくするためである。ワイヤの本数が増え、チップ部品間の接続作業に手間がかかり、好ましくない。また、チップ上にパッドを配置できる面積にも限りがあるので、接続できる数そのものに物理的な制約があるためでもある。

【0010】

ところが、上述したようにセクタを介して接続して分割して書き込みや読出しを行なうようにすると、それだけメモリへのアクセスに時間がかかる問題がある。アクセスに要する時間を短縮するためには、データの転送レートを上げる必要があるが、ワイヤで接続した場合には、ワイヤ部分のインダクタンス成分が大きいため、転送レートの高速化で波形に歪みが発生し易くなる問題があり、また不要輻射が増えたり、消費電力の増加にもつながる。

【0011】

また、このように2つのチップを積層接続した場合には、一方のチップ内部の回路ブロックをパッケージ側の電極と接続するためだけに、他方のチップ部品にワイヤで接続する必要があり、接続構成が複雑化する問題があった。具体的には、例えば図5, 図6の例では、第2のチップ20側のCPUブロック21を、パッケージ側の電極と接続するために、パッド22b, ワイヤ31, パッド13bで、第1のチップ10側の内部配線に接続し、さらに、その第1のチップ10の周縁部のパッド13cからワイヤでパッケージ側の電極と接続する構成としてあり、接続構成が複雑であった。また、このようなCPUブロック21とパッケージ側の電極とを接続するためのワイヤ（ワイヤ31の一部）と、CPUブロック21とメモリ11とを接続するためのワイヤ（ワイヤ31の一部）とが、近接して配置されていると、上述した不要輻射の影響を相互に受けて、特性上好ましくない。

【0012】

本発明の目的は、複数の半導体チップを積層した場合に、接続構成を簡単することができると共に、特性的にも良好な特性とすることができる半導体装置を提供することにある。

【課題を解決するための手段】

【0013】

本発明は、第1の半導体チップと第2の半導体チップとを積層して構成される半導体装置において、第1の半導体チップと第2の半導体チップとの間の接続については、微小バンパ接続を行なう構成として、その微小バンパ接続で、第1の半導体チップ内の回路ブロックと第2の半導体チップ内の回路ブロックとを接続すると共に、第2の半導体チップ内の回路ブロックを第1の半導体チップを介して外部電極と接続するための接続についても、微小バンパ接続で行なうようにしたものである。

【0014】

このようにしたことで、2つの半導体チップの間の接続を、微小バンパ接続で簡単かつ良好に接続できるようになる。微小バンパ接続の場合、1つの端子の接続に要する面積が

ワイヤ接続の場合に比べて少なく、端子数を増やすことが可能になる。

【発明の効果】

【0015】

本発明によると、2つの半導体チップの間の接続を、微小バンパ接続で接続したので、2つの半導体チップの間を簡単に多数の端子数で接続できるようになる。従って、例えば第1の半導体チップにメモリの回路ブロックを設け、第2の半導体チップに制御部の回路ブロックを設けて、制御部とメモリとを接続する場合に、メモリへの書込みや読出しを行なうのに必要なビット数で接続することが可能になり、メモリを選択するためのセレクトなどを設ける必要がなく、構成を簡単にすることができる。

【0016】

また、例えば第1の半導体チップ内の回路ブロックと、第2の第1の半導体チップ内の回路ブロックとを微小バンパ接続するための電極部と、それ以外の微小バンパ接続するための電極部とを、チップ上の異なる位置に配置したことで、2つの半導体チップ内の回路ブロック間でのデータ転送と、半導体装置の外部とのデータ転送とが、全く干渉しない状態で行なえる配置とすることが可能になり、良好な特性の半導体装置とすることができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の一実施の形態を、図1～図4を参照して説明する。

図1及び図2は、本例の半導体装置の構成を、2つのチップ100、200を接合する前の状態で示した図であり、図1は断面図として示し、図2は斜視図として示してある。また、図3は、チップ100を図2とは反転させて示してある。

【0018】

本例においては、第1のチップ100の上に、第2のチップ200を積層するようにしてあり、第1のチップ100内には、メモリであるDRAM111、112、113、114などが集積回路として構成させてあり、第2のチップ200には、CPU（中央制御ユニット）ブロック210などが集積回路で構成させてある。また、第1のチップ100は、第2のチップ200よりも若干大きなサイズとしてある。第1のチップ100内の4個のDRAM111～114は、第2のチップ200側のCPUブロック210と微小バンパ付きの電極121、221を介して直接接続する構成としてある。

【0019】

この第1のチップ100内の4個のDRAM111～114を、第2のチップ200側のCPUブロック210とを接続する微小バンパ付きの電極121については、図2に示すように、第1のチップ100のほぼ中央に、所定のピッチでマトリクス状に多数配置してある。

【0020】

また、図3に示すように、第2のチップ200の中央部にも、第1のチップ100側のマトリクス状の電極121と同じ個数かつ同じ配列で、同様のサイズの導電部材の突起で構成された微小バンパ付きの電極221を設けてある。電極121、221は、1個の電極が、例えば約30 μ mの直径の導電部材の突起で構成されたバンパを有し、SnAgなどでメッキを施してある。後述する微小バンパ付きの他の電極122、222についても、同様の構成である。

【0021】

そして、第1のチップ100の上に第2のチップ200を取付ける際には、第1のチップ100側の微小バンパ付電極121と第2のチップ200側の微小バンパ付電極221とを、位置に正確を一致させて接触させた上で、加熱などの固定処理を行ない、接触した微小バンパ同士を電氣的に導通させた状態で固定させる。このように固定させることで、例えば図1に示すように、第1のチップ100内のDRAM111は、内部配線101と微小バンパ付電極121、221と内部配線201を介してCPUブロック210と接続される。第1のチップ100内のDRAM112は、内部配線102と微小バンパ付電極

121, 221と内部配線202を介してCPUブロック210と接続される。第1のチップ100内のDRAM113は、内部配線103と微小バンプ付電極121, 221と内部配線203を介してCPUブロック210と接続される。第1のチップ100内のDRAM114は、内部配線104と微小バンプ付電極121, 221と内部配線204を介してCPUブロック210と接続される。

【0022】

本例の場合には、CPUブロック210と各DRAM111~114の入力バス及び出力バスを、それぞれのDRAMで必要なビット幅で個別に用意してある。例えばバスのビット幅が128ビットであるとする、DRAM1個当たり入力バスと出力バスとで128ビットずつ、合計で256ビット幅が必要で、さらにDRAMが4個配置してあるため、 $256 \times 4 = 1024$ ビットのバス幅が必要である。従って、第1のチップ100側の微小バンプ付電極121と、第2のチップ200側の微小バンプ付電極221は、それぞれが少なくとも1024個配置されている。実際には、制御データなどのやり取りを行なうラインも必要であるので、さらにそれよりも多い数の微小バンプ付電極121, 221を配置してある。

【0023】

また、第2のチップ200内のCPUブロック210は、第1のチップ100に取付けられたワイヤ301を介して、チップ100, 200を収納したパッケージ（図示せず）に取付けられた電極と接続する構成としてあり、この接続のために、例えばCPUブロック210と内部配線205（図1参照）で接続された微小バンプ付き電極222を用意する。この微小バンプ付き電極222については、図3に示すように、第2のチップ200の周縁部に配置してある。この微小バンプ付き電極222についても、数百からそれ以上の個数を有する。

【0024】

そして、この微小バンプ付き電極222と対向する第1のチップ100側の位置にも、微小バンプ付き電極122を同じ個数配置する。この微小バンプ付き電極122は、第1のチップ100の内部配線105（図1参照）を介して、第1のチップ100の周縁部に配置した導電部材で構成される複数のパッド131に個別に接続してある。それぞれのパッド131は、図1, 図2に示すように、それぞれ別のワイヤ301を介してパッケージ側の電極（図示せず）とワイヤボンダ接続を行なう。

【0025】

上述した第1のチップ100と第2のチップ200との接続作業時には、両チップ100, 200の周縁部の微小バンプ付き電極122, 222についても、同時に接続される。

【0026】

図4は、本例の第1のチップ100内の各DRAM111~114と、第2のチップ200内のCPUブロック210との回路的な接続状態を示したブロック図である。本例の場合には、既に説明したように、各DRAM111~114が必要な入力バス及び出力バス（それぞれ例えば128ビット幅）を、個別にCPU211と接続してある。従って、図7に示した従来例で必要であったレジスタやセレクタは不要であり、CPU210が直接的に各DRAM111~114とアクセスできることになる。

【0027】

また、CPUブロック210内には、制御部であるCPU211の他に、SRAM212, データ入出力用のインターフェース213, アナログ/デジタル変換器214などを有し、CPUブロック210内のこれらの回路に接続されたバスなどの信号線が、必要なビット数で、微小バンプ付き電極122, 222とパッド131とワイヤ301を介してパッケージ側の電極と接続されるようにしてある。

【0028】

以上説明した本例の構成の半導体装置によると、第1のチップ100内の複数のメモリ素子111~114と、第2のチップ内のCPUブロック210とが、それぞれのメモリ

素子が入力バス及び出力バスとして必要なビット幅で直接的に接続され、レジスタやセレクタを介した接続でないので、制御構成が簡単であると共に、必要なデータをダイレクトで入出力させることができ、転送レートをそれほど高くしなくても、2つのチップ間で迅速にデータのやり取りが行なえる。また、転送レートの高速化が必要ないことと、セレクタなどが不要の点から、消費電力を抑えることもできる。

【0029】

さらに、このメモリ素子111～114とCPUブロック210との間でデータの入出力を行なうための微小バンプ付き電極121, 221を、それぞれのチップ100, 200のほぼ中央部に配置し、CPUブロック210をパッケージに取付けられた電極と接続するための微小バンプ付き電極122, 222を周縁部に配置して、離れた位置(異なる位置)としたことで、CPUブロック210とメモリ素子111～114との間でやり取りされるデータと、CPUブロック210とパッケージの外部との間でやり取りされるデータとの干渉を防止でき、半導体装置としての電気的な特性を優れたものにすることができる。

【0030】

なお、上述した実施の形態では、第1のチップ側にDRAMを配置し、第2のチップ側にCPUブロックを配置するようにしたが、これらの回路ブロックの配置が逆のチップであっても良い。また、それぞれのチップに、制御部であるCPUブロックやメモリ素子であるDRAM以外の回路ブロックを配置して、両チップ間の回路ブロックを微小バンプを介して直接接続するようにしても良い。

【図面の簡単な説明】

【0031】

【図1】本発明の一実施の形態による断面構造の例を示した断面図である。

【図2】本発明の一実施の形態による接合前の状態の例を示した斜視図である。

【図3】本発明の一実施の形態による第2のチップを、図1, 図2と反転した状態で示した斜視図である。

【図4】本発明の一実施の形態の装置の回路ブロックの接続例を示したブロック図である。

【図5】従来の半導体装置の断面構造の例を示した断面図である。

【図6】従来の半導体装置の例を示した平面図である。

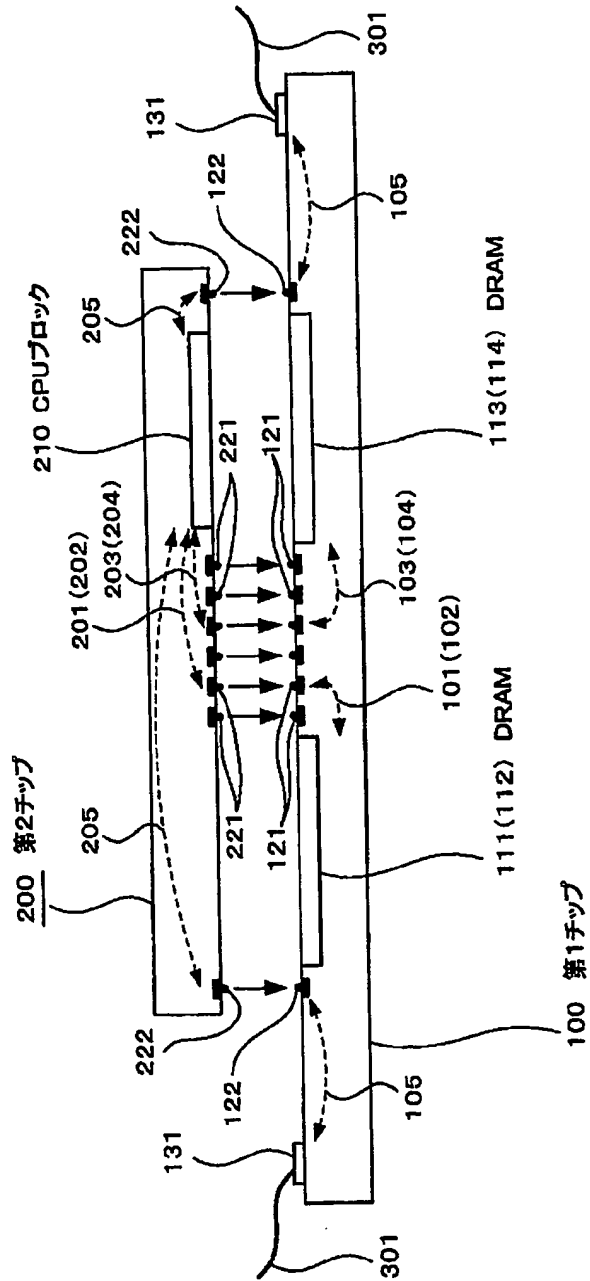
【図7】従来の半導体装置のブロック接続例を示したブロック図である。

【符号の説明】

【0032】

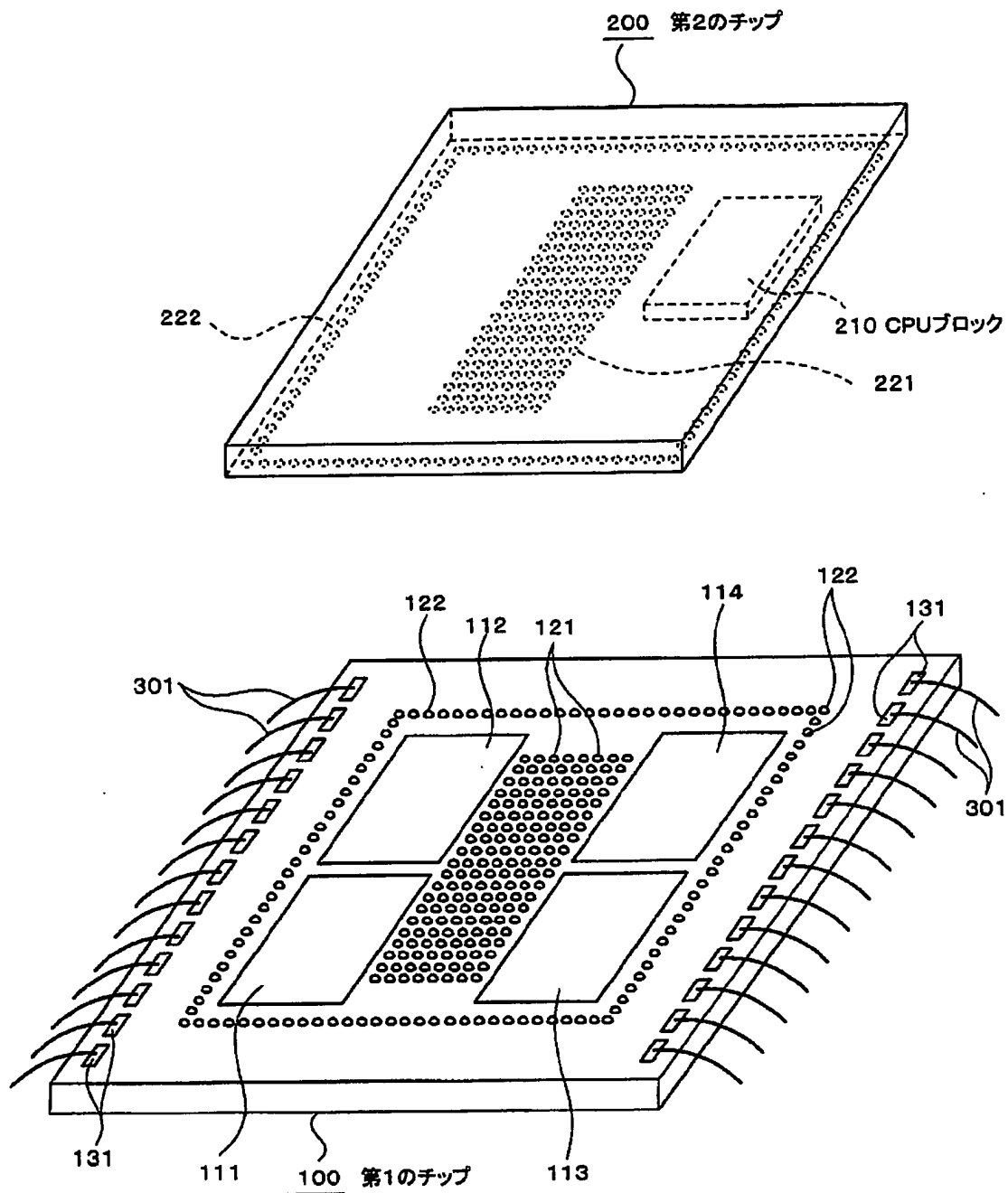
10…第1のチップ、11, 11a～11d…DRAM、12…レジスタ及びセレクタ、13a～13c…パッド、20…第2のチップ、21…CPUブロック、21a…レジスタ及びセレクタ、22a, 22b…パッド、31…ワイヤ、100…第1のチップ、101～105…内部配線、111～114…DRAM、121, 122…微小バンプ付き電極、131…パッド、200…第2のチップ、201～205…内部配線、210…CPUブロック、211…CPU、212…SRAM、213…インターフェース、214…アナログ/デジタル変換器、221, 222…微小バンプ付き電極、301…ワイヤ

【書類名】 図面
【図 1】



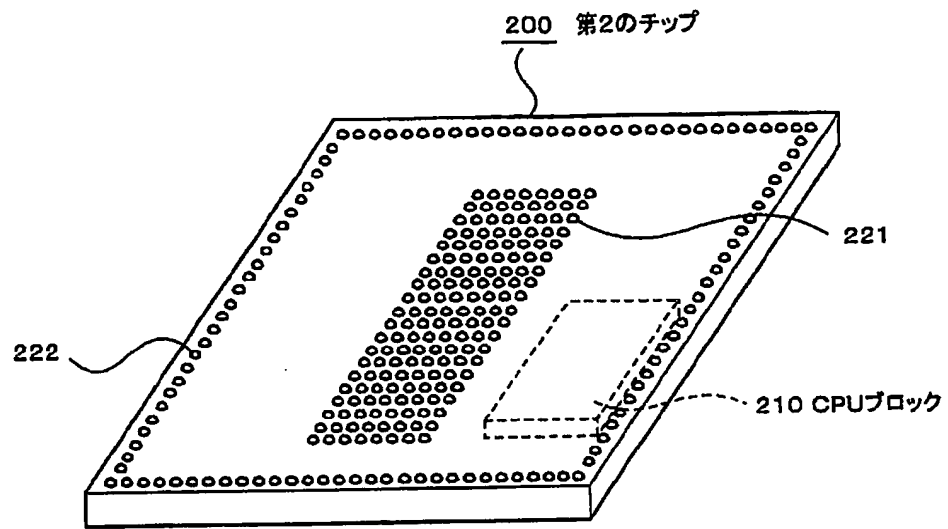
断面構造

【図 2】



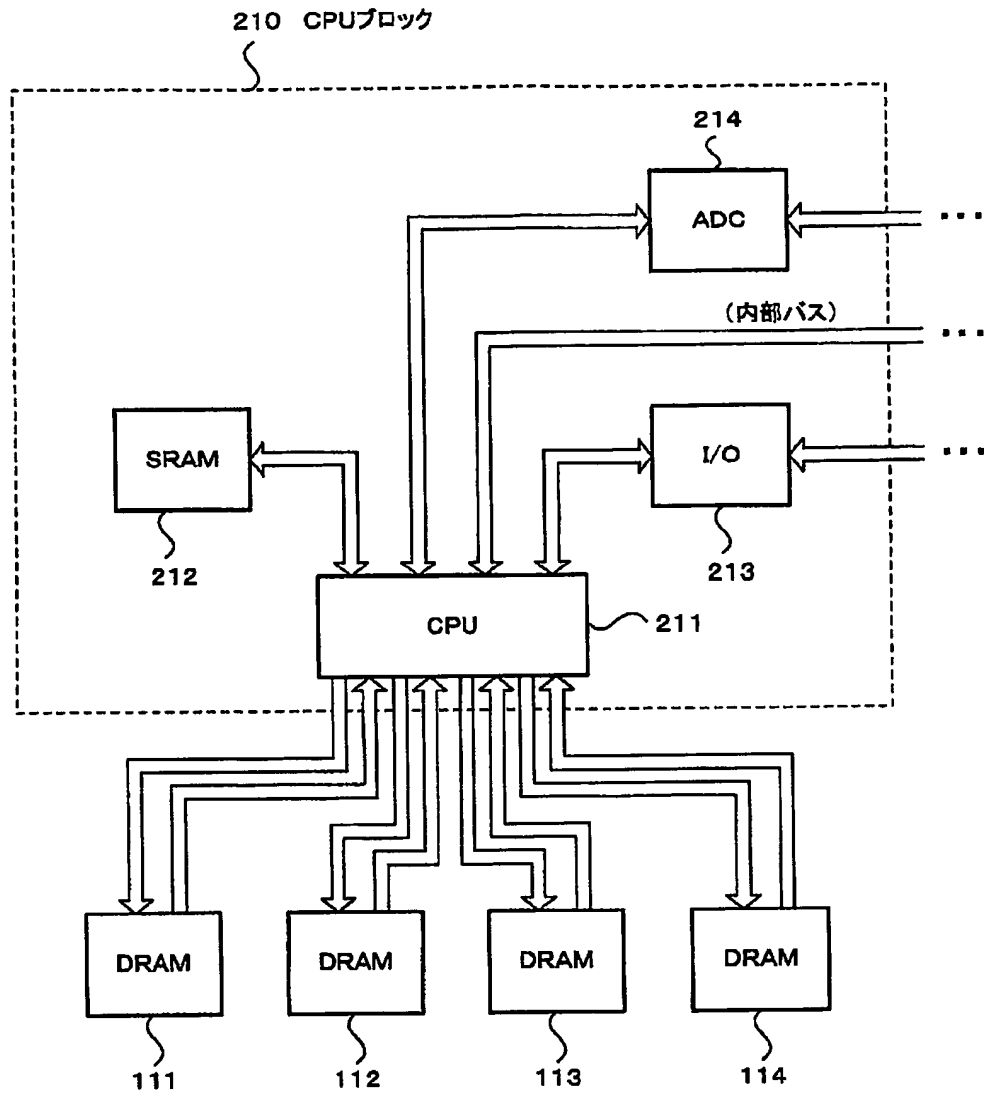
接合前の状態

【図3】



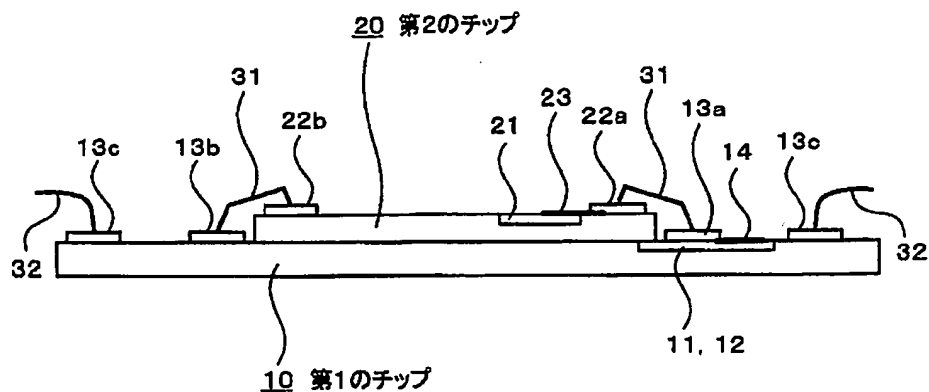
第2のチップを反転させた図

【図4】



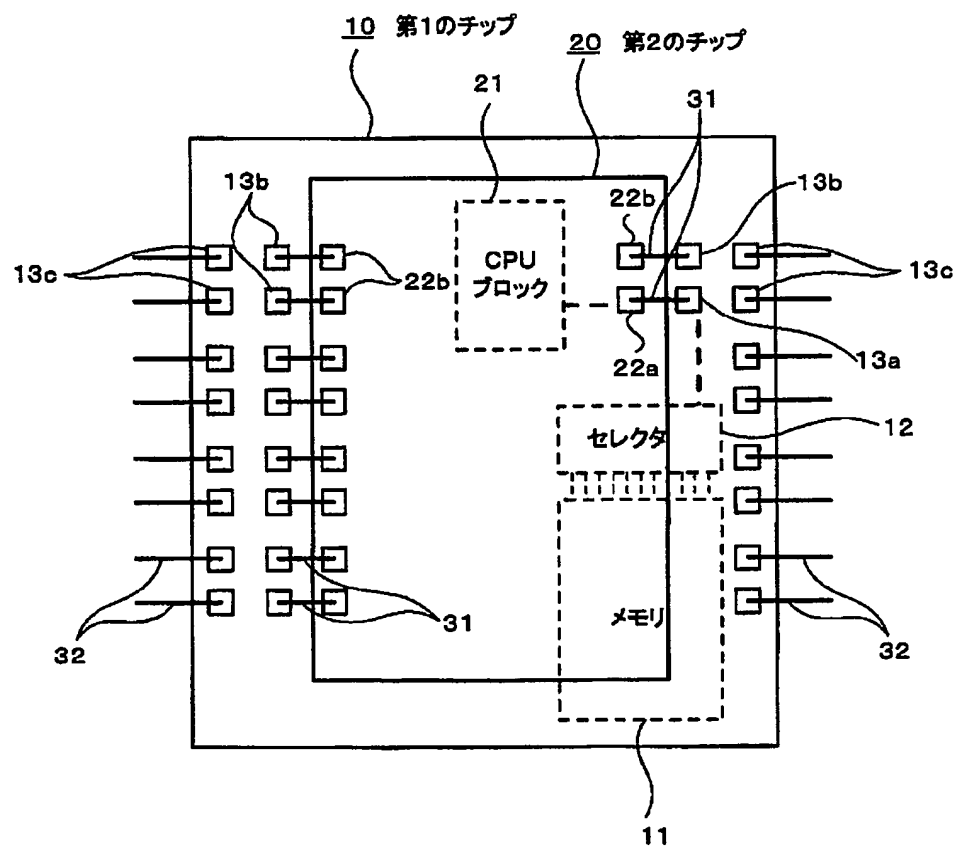
ブロック構成例

【図5】



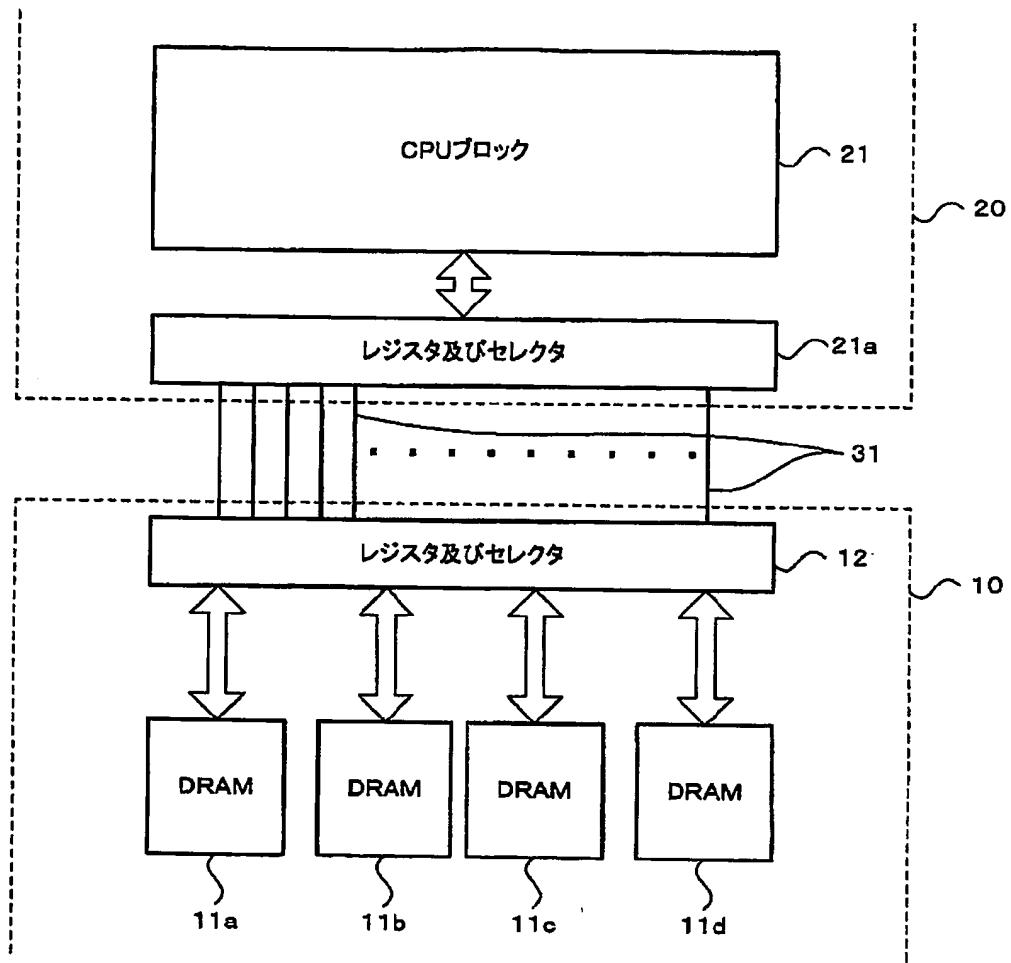
従来例(断面図)

【図6】



従来例(平面図)

【図7】



従来例

【書類名】要約書

【要約】

【課題】 複数の半導体チップを積層した場合に、接続構成を簡単することができると共に、特性的にも良好な特性にできるようにする。

【解決手段】 第1の半導体チップ100と第2の半導体チップ200とを積層して構成される半導体装置において、第1の半導体チップと第2の半導体チップとの間の接続については、微小バンパ接続を行なう構成として、その微小バンパ接続で、第1の半導体チップ内の回路ブロックと第2の半導体チップ内の回路ブロックとを接続すると共に、第2の半導体チップ内の回路ブロックを第1の半導体チップを介して外部電極と接続するための接続についても、微小バンパ接続で行なうようにした。また、両チップ100, 200の回路ブロック101~104, 210を接続する微小バンパ121, 221と、一方のチップ200内の回路ブロック210を外部電極に接続するための微小バンパ122, 222とを、異なる位置に配置するようにした。

【選択図】 図1



認定・付加情報

特許出願の番号	特願2004-038403
受付番号	50400245806
書類名	特許願
担当官	第五担当上席 0094
作成日	平成16年 2月17日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002185
【住所又は居所】	東京都品川区北品川6丁目7番35号
【氏名又は名称】	ソニー株式会社

【代理人】

申請人

【識別番号】	100122884
【住所又は居所】	東京都新宿区西新宿1丁目8番1号 新宿ビル 信友国際特許事務所

【氏名又は名称】	角田 芳末
----------	-------

【選任した代理人】

【識別番号】	100113516
【住所又は居所】	東京都新宿区西新宿1丁目8番1号 新宿ビル
【氏名又は名称】	磯山 弘信

特願 2004-038403

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都品川区北品川6丁目7番35号

氏 名

ソニー株式会社